

Question #1

Quelle est la taille du registre IF/ID dans le circuit du processeur avec pipeline sans gestion des aléas, considérant que le signal ALUOp vaut 2 bits?

- a) 36 bits
- b) 32 bits
- c) 64 bits
- d) 128 bits

Question #2

Quelle est la taille du registre ID/EX dans le circuit du processeur avec pipeline sans gestion des aléas, considérant que le signal ALUOp vaut 2 bits?

- a) 131 bits
- b) 147 bits
- c) 144 bits
- d) 201 bits
- e) 64 bits
- f) 198 bits
- g) 146 bits

Question #3

Quelle est la taille du registre EX/MEM dans le circuit du processeur avec pipeline sans gestion des aléas, considérant que le signal ALUOp vaut 2 bits?

- a) 107 bits
- b) 106 bits
- c) 105 bits
- d) 102 bits
- e) 112 bits
- f) Aucune de ces réponses

Question #4

Quelle est la taille du registre MEM/WB dans le circuit du processeur avec pipeline sans gestion des aléas, considérant que le signal ALUOp vaut 2 bits?

- a) 98 bits
- b) 102 bits
- c) 97 bits
- d) 96 bits
- e) 100 bits
- f) 99 bits
- g) 71 bits

Question #5

Combien de cycles sont perdus en cas d'aléa de contrôle avec le processeur avec pipeline sans gestion des aléas?

- a) 1 cycle
- b) 2 cycles
- c) 3 cycles
- d) 4 cycles
- e) 5 cycles
- f) 6 cycles

Question #6

Combien de cycles sont perdus en cas d'aléa de contrôle avec le processeur avec pipeline avec gestion des aléas?

- a) 1 cycle
- b) 2 cycles
- c) 3 cycles
- d) 4 cycles
- e) 5 cycles
- f) 6 cycles

Question #7

Considérant les instructions suivantes :

```
1: add $s0, $zero, $zero
2: add $s1, $zero, $zero
3: add $s2, $zero, $zero
4: addi $t0, $s0, 4
5: subi $t0, $s1, 12
6: add $s2, $s1, $s0
```

À quelle ligne peut-on détecter un aléa de données susceptible d'être résolu par forwarding?

- a) 2
- b) 3
- c) 4
- d) 5
- e) 6
- f) Aucune

Question #8

Parmi les techniques suivantes, laquelle permet de diminuer la fréquence des aléas de contrôle d'un processeur avec pipeline?

- a) Le forwarding
- b) Hazard Detecting Unit
- c) Déplacer le calculer du Branch Target à la deuxième étape
- d) Prédiction statique
- e) Le signal IF.Flush
- f) Toutes ces réponses

Question #9

À quelle étape est appliquée le forwarding dans un processeur avec pipeline avec gestion des aléas?

- a) Execute
- b) Instruction Fetch
- c) Memory
- d) Write-Back
- e) Instruction Decode
- f) Forwarding Unit

Question #10

Comment fonctionne la prédiction statique Untaken Branch?

- a) On branche toujours
- b) On ne branche jamais
- c) On branche si l'offset de l'instruction est positif
- d) On branche si l'offset de l'instruction est négatif
- e) On branche selon l'historique des branchements du programme
- f) On branche selon les habitudes du programmeur

Question #11

Quel type de parallélisme le processeur superscalaire met-il en oeuvre?

- a) Thread-level parallelism
- b) Function-level parallelism
- c) Multithread parallelism
- d) Data-path-level parallelism
- e) Instruction-level parallelism
- f) Ce processeur ne met aucun parallélisme en oeuvre

Question #12

Supposons un processeur superscalaire de degré 4 sans pipeline. Combien d'instructions seront simultanément en exécution dans le processeur?

- a) 2 instructions
- b) 2 à 8 instructions
- c) 4 instructions
- d) 4 à 8 instructions
- e) 1 instruction
- f) 16 instructions
- g) 20 instructions
- h) 10 instructions

Question #13

Supposons un processeur superscalaire de degré 2 avec un pipeline de 5 étapes qui ne contient aucun aléa. Combien d'instructions seront simultanément en exécution dans le processeur?

- a) 2 instructions
- b) 2 à 8 instructions
- c) 4 instructions
- d) 4 à 8 instructions
- e) 1 instruction
- f) 16 instructions
- g) 20 instructions
- h) 10 instructions

Question #14

Quelle est l'utilité du dynamic pipeline scheduling?

- a) Aiguiller les résultats des instructions précédentes dans le pipeline
- b) Modifier l'ordre des instructions pour éviter les aléas
- c) Injecter une bulle dans le pipeline lors d'un aléa de données en particulier
- d) Réduire le nombre de cycles pour exécuter un branchement
- e) Changer dynamiquement le mode de prédiction statique du processeur
- f) Aucune de ces réponses

Question #15

Le processeur transforme les instructions dans un format particulier avant d'appliquer le dynamic pipeline scheduling. Quel est ce format?

- a) Circuits logiques
- b) Bytecode
- c) Microcode
- d) Dynamic pipeline scheduling instruction format
- e) MIPS
- f) Aucune de ces réponses

Question #16

Quel type d'ordinateur possède plusieurs processeurs distincts sur une même carte mère?

- a) Ordinateur parallèle
- b) Multi-core
- c) Cluster
- d) Multiprocesseurs
- e) Serveur
- f) Aucune de ces réponses

Question #17

Quel type d'ordinateur met en place le Uniform Memory Access ou le Non-Uniform Memory Access, ayant un impact sur le temps d'accès à la mémoire?

- a) Ordinateur parallèle
- b) Multi-core
- c) Cluster
- d) Multiprocesseurs
- e) Serveur
- f) Aucune de ces réponses

Question #18

Lorsque plusieurs processeurs utilisent le même bus mémoire, quel composant du processeur peut contribuer à diminuer le trafic sur le bus?

- a) La mémoire virtuelle
- b) Le cache
- c) Un SSD
- d) Dynamic pipeline scheduling
- e) Aucun, c'est un problème sans solution

Question #19

Quel type de parallélisme un processeur multi-core permet-il?

- a) Thread-level parallelism
- b) Function-level parallelism
- c) Multithread parallelism
- d) Data-path-level parallelism
- e) Instruction-level parallelism
- f) Ce processeur ne met aucun parallélisme en oeuvre

Question #20

Quel est l'impact du multi-core sur le système d'exploitation de l'ordinateur?

- a) Partage des ressources de l'ordinateur plus difficile
- b) Les processus s'exécutent trop rapidement
- c) Les threads deviennent plus difficiles à créer et on préfère les processus
- d) Les processus se créent plus rapidement
- e) Il n'y a aucun impact

Question #21

Quel composant de l'ordinateur n'est pas considéré comme un périphérique?

- a) Le clavier
- b) La souris
- c) Le disque SSD
- d) La mémoire cache
- e) La carte réseau
- f) Aucune de ces réponses

Question #22

Qu'est-ce qui explique la lenteur d'un disque magnétique?

- a) Des secteurs endommagés
- b) Des secteurs trop larges ou trop espacés
- c) Trop de pistes
- d) Le mouvement des têtes de lecture/écriture
- e) L'absence de mémoire cache dans le contrôleur du disque
- f) Le magnétisme du disque
- g) Aucune de ces réponses

Question #23

Quel type de mémoire compose principalement un Solid-State Drive?

- a) Mémoire Flash
- b) Mémoire cache
- c) Mémoire RAM
- d) Mémoire magnétique
- e) Mémoire à état solide
- f) Aucune de ces réponses

Question #24

Quelle est l'entité responsable de gérer les périphériques d'un ordinateur?

- a) Le processeur
- b) Le système d'exploitation
- c) Le bus
- d) Le bus-mémoire
- e) La carte mère
- f) Toutes ces réponses

Question #25

Parmi les éléments suivants, lequel n'est pas un avantage face à l'utilisation d'un bus?

- a) La simplicité
- b) La performance
- c) Le coût
- d) La polyvalence
- e) La standardisation du connecteur
- f) Aucune de ces réponses

Question #26

Quelle description décrit le mieux le concept de localité spatiale?

Lorsqu'une adresse mémoire est référencée,

- a) elle tend à être référencée de nouveau prochainement.
- b) elle tend à être référencée de nouveau après un certain temps.
- c) les adresses situées à proximité tendent à être référencées.
- d) les adresses situées à proximité sont rarement référencées.
- e) elle ne sera plus référencée par la suite.
- f) les adresses situées à proximité ne seront pas référencées.

Question #27

Quelle description décrit le mieux le concept de localité temporelle?

Lorsqu'une adresse mémoire est référencée,

- a) elle tend à être référencée de nouveau prochainement.
- b) elle tend à être référencée de nouveau après un certain temps.
- c) les adresses situées à proximité tendent à être référencées.
- d) les adresses situées à proximité sont rarement référencées.
- e) elle ne sera plus référencée par la suite.
- f) les adresses situées à proximité ne seront pas référencées.

Question #28

Quel élément ne fait pas partie d'une hiérarchie de mémoire?

- a) Le cache L1
- b) La mémoire vive
- c) Le cache L2
- d) Les registres
- e) Aucune de ces réponses

Question #29

Que contient un cache?

- a) Des traductions d'adresses virtuelles
- b) Un sous-ensemble des données contenues dans la mémoire supérieure
- c) Des processus
- d) La page table
- e) Un pointeur vers la page table
- f) Aucune de ces réponses

Question #30

Quelle taille de bloc permet de mieux exploiter la localité temporelle dans une mémoire cache avec MIPS32?

- a) 8 bits
- b) 16 bits
- c) 32 bits
- d) 64 bits
- e) 128 bits
- f) Aucune importance

Question #31

Quelle taille de bloc permet de mieux exploiter la localité spatiale dans une mémoire cache avec MIPS32?

- a) 8 bits
- b) 16 bits
- c) 32 bits
- d) 64 bits
- e) 128 bits
- f) Aucune importance

Question #32

Quelle est la pire chose qui peut arriver lors d'un accès à la mémoire?

- a) Un miss du cache L1
- b) Un miss du cache L2
- c) Un miss de la TLB
- d) Un accès à la page table
- e) Un bit de validité à 0 dans la page table
- f) Aucune de ces réponses

Question #33

Quel type de cache est le mieux adapté pour un programme effectuant beaucoup de lecture séquentielle dans un énorme tableau?

- a) Direct-mapped cache avec des blocs de 8 mots
- b) Direct-mapped cache avec des blocs d'un mot
- c) Fully-associative cache avec des blocs d'un mot
- d) Fully-associative cache avec des blocs de 4 mots
- e) Aucune de ces réponses

Question #34

Quel type de cache est le mieux adapté pour un programme effectuant beaucoup d'écriture à répétition dans des emplacements aléatoires en mémoire?

- a) Direct-mapped cache avec write-back
- b) Direct-mapped cache avec write-through
- c) Set-associative cache avec write-back
- d) Set-associative cache avec write-through
- e) Aucune de ces réponses

Question #35

Comment un cache simule-t-il l'algorithme LRU?

- a) Avec un compteur de signaux
- b) Avec un bit de référence remis à 0 périodiquement
- c) Avec un circuit logique
- d) C'est le système d'exploitation qui le gère pour le cache
- e) LRU n'existe pas dans un cache
- f) Aucune de ces réponses

Question #36

Quel élément parmi les suivants n'est pas relié à la mémoire virtuelle?

- a) Le TLB
- b) La page table
- c) Le nombre de bits d'une adresse physique
- d) Le page table register
- e) Un défaut de page
- f) La pagination
- g) Aucune de ces réponses

Question #37

Qu'est-ce qui ne change pas durant la traduction d'une adresse virtuelle vers une adresse physique?

- a) Les deux bits les plus significatifs
- b) Le numéro de page
- c) Le nombre de pages virtuelles
- d) Le champ offset de l'adresse virtuelle
- e) Toutes ces réponses

Question #38

Quel élément permet d'optimiser la traduction d'une adresse virtuelle?

- a) La page table
- b) Le page table register
- c) Le cache L1
- d) Le cache L2
- e) Le TLB
- f) Aucune de ces réponses

Question #39

Où est située la page table?

- a) Dans la mémoire du processus
- b) Dans le TLB
- c) Dans le page table register
- d) Dans le cache L1
- e) Aucune de ces réponses

Question #40

Laquelle des affirmations suivantes est vraie?

- a) La mémoire virtuelle permet de simuler un disque dur plus volumineux
- b) La mémoire virtuelle n'utilise pas le disque dur
- c) Les processus manipulent des adresses virtuelles
- d) La traduction d'une adresse virtuelle est faite au démarrage d'un programme
- e) La mémoire virtuelle est limitée à la taille de la mémoire physique