

Examen final – INF4170 – Automne 2009  
35% de la note finale  
15 décembre 2009 18h00 à 21h00

Aucune documentation n'est permise. Répondez dans le cahier fourni à cet effet.

Annexe A : Processeur multi-cycles

Annexe B : Processeur avec pipeline (sans gestion des aléas)

Annexe C : Processeur avec pipeline (avec gestion des aléas)

**Question 1 - 10%**

Expliquez les concepts de localité spatiale et temporelle qui justifient la présence d'une cache dans un processeur.

**Question 2 - 5%**

Dans le processeur multi-cycles (annexe A), à quoi sert le « Memory Data Register »? De plus, ce registre ne sert que pour un type d'instruction bien précis, lequel est-ce? Soyez précis dans votre réponse.

**Question 3 - 5%**

Avec le processeur multi-cycles (annexe A), les instructions peuvent prendre 3, 4 ou 5 cycles pour s'exécuter. Combien de cycles sont nécessaires pour exécuter ces mêmes instructions avec le processeur avec pipeline (annexe B)? Justifiez votre réponse.

**Question 4 - 5%**

Quelle est la différence entre un multiprocesseur et un cluster?

**Question 5 - 10%**

Le « translation-lookaside buffer » (TLB) est une cache spécialisée dans le processeur. Que contient-elle? Où va-t-on lire l'information manquante en cas de « miss »?

**Question 6 - 15%**

Expliquez ce qui est fait dans chacune des étapes du processeur avec pipeline (annexe B).

**Question 7 - 10%**

Si l'on compare le chemin de données du processeur avec pipeline **avec** gestion des aléas (annexe C) avec celui du processeur avec pipeline **sans** gestion des aléas (annexe B), on peut constater que l'additionneur de la 3ème étape du processeur avec pipeline **sans** gestion des aléas (B) a été déplacé à la 2ème étape du processeur avec pipeline **avec** gestion des aléas (C). Pourquoi ce déplacement a-t-il été effectué et quelle est l'impact de ce déplacement?

**Question 8 - 5%**

Comment le processeur arrive-t-il à accéder à la « page table » d'un processus si la « page table » est en mémoire?

**Question 9 - 10%**

Quelle est la différence entre un « miss » de cache et un « page fault »? De plus, dans quel contexte surviennent ces événements?

**Question 10 - 10%**

Expliquez comment on calcule l'adresse d'un bloc en mémoire à partir d'une adresse mémoire donnée. Indice : le bloc contient toujours l'adresse mémoire donnée.

**Question 11 - 5%**

Dans quelle situation doit-on invalider complètement le contenu du « translation lookaside-buffer »?

**Question 12 - 10%**

Comment le processeur avec pipeline arrive-t-il à insérer une instruction « nop » dans le pipeline sans perdre d'instruction?